

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-056140

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

H03K 3/356  
H03K 3/286  
H03K 19/086

(21)Application number : 07-143523

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.06.1995

(72)Inventor : SHIZUKI YASUSHI  
YOSHIHARA KUNIO

(30)Priority

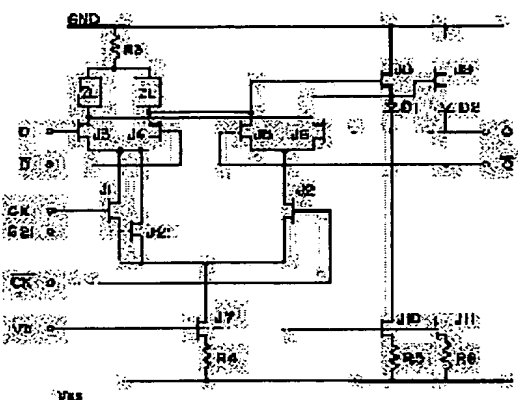
Priority number : 06127769 Priority date : 09.06.1994 Priority country : JP

## (54) FLIP-FLOP DEVICE

## (57)Abstract:

PURPOSE: To attain a faster operation without almost increasing power consumption by providing a transistor (TR) for data read time varying, a bias terminal pair or an auxiliary differential pair or the like.

CONSTITUTION: A FET J21 whose data read time is variable is connected in parallel with FETJ1 whose drains connect to a data read section among FETs forming clock input differential pairs with respect to a conventional FF circuit. While a FETJ21 is connected to a data latch differential pair, since two FETs J1, J21 are connected to a data read differential pair, the FETJ21 is closed and much more current is supplied to the data read section differential pair more than the data latch differential section and the read time of the FF circuit is increased more than a data latch time. Thus, the current fed to a FET of the data read section is increased for one clock period while keeping constant power consumption. Moreover, the data read time is equal to the data latch time by turning off the FETJ21 to make the operation at a low frequency stable.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 5 6 1 4 0

(43) 公開日 平成 8 年 (1996) 2 月 27 日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H03K 3/356

3/286

19/086

F

H03K 3/356

2

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願平 7 - 1 4 3 5 2 3

(22) 出願日 平成 7 年 (1995) 6 月 9 日

(31) 優先権主張番号 特願平 6 - 1 2 7 7 6 9

(32) 優先日 平 6 (1994) 6 月 9 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 志津木 康

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(72) 発明者 吉原 邦夫

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

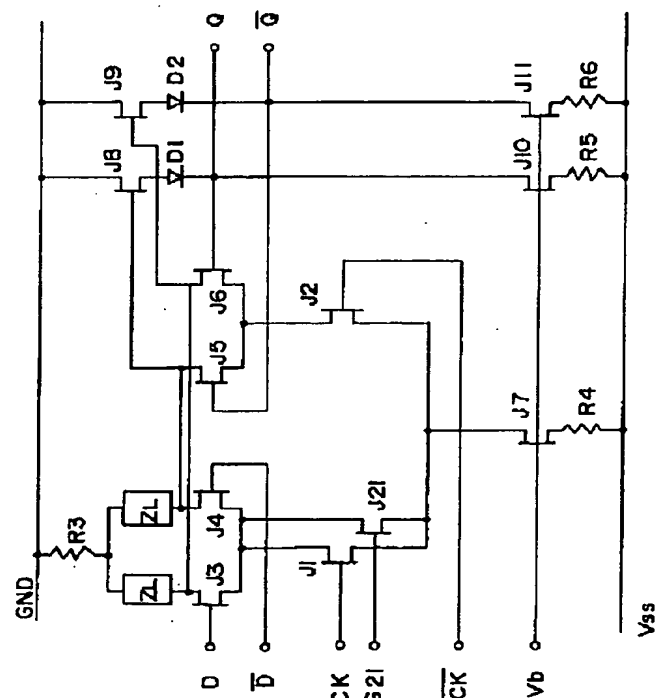
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 フリップフロップ装置

(57) 【要約】

【目的】 消費電力を殆ど増加させずに、より高速な動作を可能とするフリップフロップ装置を提供すること。

【構成】 ゲートがデータ入力端子 D、 $\bar{D}$  となる一対の FET J3、J4 により構成されたデータ読み部差動対と、ゲートが出力端子 Q、 $\bar{Q}$  に接続される一対の FET J5、J6 により構成されたデータ保持部差動対と、ゲートがクロック入力端子 CK、 $\bar{CK}$  となる一対の FET J1、J2 により構成されたクロック入力用差動対とを備え、FET J1 のドレインが FET J3、J4 のソースに接続され、FET J2 のドレインが FET J5、J6 のソースに接続された SCFL のフリップフロップ装置において、クロック入力用差動対を構成する一対の FET のうち、ドレインがデータ読み部差動対に接続された FET J1 と並列に、データ読み時間増大用の FET J21 を設けたことを特徴とする。



1

## 【特許請求の範囲】

【請求項 1】制御電極がデータ入力端子となる一対のトランジスタにより構成されたデータ読み部差動対と、制御電極が出力端子に接続される一対のトランジスタにより構成されたデータ保持部差動対と、制御電極がクロック入力端子となる一対のトランジスタにより構成されたクロック入力用差動対とを備え、クロック入力用差動対を構成する各トランジスタの第 1 の主電極の一方がデータ読み部差動対を構成する各トランジスタの第 2 の主電極に接続され、他方がデータ保持部差動対を構成する各トランジスタの第 2 の主電極に接続された S C F L 又は E C L のフリップフロップ装置において、

前記クロック入力用差動対を構成する一対のトランジスタのうち、第 1 の主電極が前記データ読み部差動対又はデータ保持部差動対を構成する各トランジスタの第 2 の主電極に接続されたトランジスタと並列に、データ読み時間又はデータ保持時間の可変用のトランジスタを設けたことを特徴とするフリップフロップ装置。

【請求項 2】制御電極がデータ入力端子となる一対のトランジスタにより構成されたデータ読み部差動対と、制御電極が出力端子に接続される一対のトランジスタにより構成されたデータ保持部差動対と、制御電極がクロック入力端子となる一対のトランジスタにより構成されたクロック入力用差動対とを備え、クロック入力用差動対を構成する各トランジスタの第 1 の主電極の一方がデータ読み部差動対を構成する各トランジスタの第 2 の主電極に接続され、他方がデータ保持部差動対を構成する各トランジスタの第 2 の主電極に接続された S C F L 又は E C L のフリップフロップ装置において、前記データ読み部差動対又はデータ保持部差動対を構成する各トランジスタの第 2 の主電極と電源  $V_{ss}$  との間に、データ読み時間又はデータ保持時間の可変用のトランジスタを設けたことを特徴とするフリップフロップ装置。

【請求項 3】一対のトランジスタにより構成されたデータ読み部差動対と、一対のトランジスタにより構成されたデータ保持部差動対と、一対のトランジスタにより構成されて 2 つのクロック入力端子 C K , / C K を有するクロック入力用差動対と、からなるフリップフロップ回路を 2 段縦列接続したマスタ・スレーブ型フリップフロップ装置において、第 1 のフリップフロップ回路のクロック入力端子 C K 1 , / C K 1 と第 2 のフリップフロップ回路のクロック入力端子 C K 2 , / C K 2 のうち、C K 1 と / C K 2 とを接続し、かつ / C K 1 と C K 2 とを電気的に分離して新たなバイアス端子  $V_{bias1}$  と  $V_{bias2}$  を設けたことを特徴とするフリップフロップ装置。

【請求項 4】一対のトランジスタにより構成されたデータ読み部差動対と、一対のトランジスタにより構成されたデータ保持部差動対と、一対のトランジスタにより

2

構成されて 2 つのクロック入力端子 C K , / C K を有するクロック入力用差動対と、からなるフリップフロップ回路を 2 段縦列接続したマスタ・スレーブ型フリップフロップ装置において、

第 1 及び第 2 のフリップフロップ回路内に、一対のトランジスタの第 1 の主電極の一方がデータ読み部差動対に接続され、他方がデータ保持部差動対に接続された補助差動対をそれぞれ設け、各々の補助差動対を構成する各トランジスタのうち、第 1 の主電極がデータ読み部差動対に接続されたもの同士とデータ保持部差動対に接続されたもの同士とでそれぞれ第 2 の主電極を共通接続したことを特徴とするフリップフロップ装置。

【請求項 5】制御電極がデータ入力端子となる一対のトランジスタにより構成されたデータ読み部差動対と、制御電極が出力端子に接続される一対のトランジスタにより構成されたデータ保持部差動対と、制御電極がクロック入力端子となる一対のトランジスタにより構成されたクロック入力用差動対とを備え、データ読み部差動対及びデータ保持部差動対の共通負荷として抵抗とインダクタが直列接続された S C F L 又は E C L のフリップフロップ装置において、

前記データ保持部差動対を構成する各トランジスタに一方の主電極がそれぞれ共通接続され、前記負荷としての抵抗とインダクタとの接続点に他方の主電極がそれぞれ接続された一対の補助トランジスタを設けてなることを特徴とするフリップフロップ装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】本発明は、高速で動作させる分周器等に用いられるフリップフロップ装置に係わり、特に回路形式として E C L (Emitter-Coupled-Logic) や (Source-Coupled-FET-Logic) 等を用いたフリップフロップ装置に関する。

## 【 0 0 0 2 】

【従来の技術】従来、デジタル信号処理を高速動作させる回路形式として、E C L や S C F L 等が用いられる。E C L 及び S C F L では、トランジスタを縦積みすることで信号の伝搬時間を少なくし高速化を可能とする。分周器においても高速に動作させたい場合には、E C L 又は S C F L でフリップフロップ回路を構成し、このフリップフロップ回路を 2 段接続した T - F F (Toggle-Flip-Flop) として 1 / 2 分周器とすることが多い。以下、用いるトランジスタを F E T を例にとって説明するが、バイポーラトランジスタでも同様である。

【 0 0 0 3 】図 1 8 に、従来の S C F L フリップフロップ回路の構成を示す。R 1 , R 2 は負荷抵抗、F E T J 3 , J 4 はデータ読み部の差動対、F E T J 5 , J 6 はデータ保持部の差動対、F E T J 1 , J 2 はクロック入力用の差動対、F E T J 7 はこれらの差動対に電流を供給するための定電流源として用いる。各々の差動対は

50

同じゲート幅、しきい値を持つ2つのFETから構成されている。

【0004】また、FET J 8, J 9, J 10, J 11はソースフォロアとしての役割を果たすのと同時にデータ保持部にラッチ動作させるため、その出力をFET J 5, J 6のゲートに接続し正帰還をかけるのに使用される。D 1, D 2はソースフォロアで使われるレベルシフト用ダイオード、R 3, R 4, R 5, R 6は保護抵抗である。また、V<sub>b</sub>はFET J 7, J 10, J 11に与えるDC電圧、V<sub>ss</sub>は負の電源である。

【0005】図19は、図18のフリップフロップ回路を2段接続したT-FFの構成図である。図中のFF 1, FF 2は図18のフリップフロップ回路を示す。FF 2の反転出力端Qの信号をFF 1の非反転入力端/Dへ、FF 2の反転出力端/Qの信号をFF 1の非反転入力端Dへ接続することによって、入力するクロック信号の1/2の周期の信号を生成することができる。

【0006】FET J 12, J 13によって構成されるソースフォロアは、後段の回路を駆動する能力を向上させるために使用する。端子CKはクロック信号を入力、端子V<sub>ref</sub>はリファレンス電圧を与える端子であるが、クロック信号CKの逆相信号/C<sub>K</sub>を入力する場合もある。

【0007】図20は、図18のフリップフロップ回路のクロック入力用差動対に周期Tのサイン波を入力したときの動作の説明図である。縦軸は電流値、横軸は時間を示す。図中のAがデータ読み部差動対に供給される電流、Bがデータ保持部差動対に供給される電流を示す。

【0008】図18のFET J 7のドレインに流れる電流量は一定であることから、データ読み部差動対に供給される電流とデータ保持部差動対に供給される電流の合計値は常に一定である。従って、データ読み部差動対に電流が流れ込む時、即ちデータ読み部がONの時、データ保持部はOFFとなる。そして、データ読み部がOFFの時、データ保持部はONとなる。

【0009】ここで、データ読み部がONの時間をデータ読み時間、データ保持部がONの時間をデータ保持時間とすると、クロック入力用差動対を構成するFET J 1とJ 2はゲート幅及びしきい値が同じであるため、クロック1周期にかかる時間Tに占めるデータ読み時間(D)とデータ保持時間(T-D)は各々T/2であることから、

$$(\text{データ読み時間}) = (\text{データ保持時間})$$

となり、図18のフリップフロップ回路ではデータ読み部とデータ保持部の動作する時間が分離されている。

【0010】次に、フリップフロップ回路を2段接続したT-FFの動作について説明する。図19のT-FFにおいて、CKに入力されるクロック信号が“H”レベルのとき、FF 1ではデータ読み部はON、データ保

持部はOFFとなり、FF 2ではデータ読み部はOFF、データ保持部はONとなる。このクロック信号が“H”レベルの状態ではFF 2のデータ保持部からFF 1のデータ読み部へ反転した信号が入力され、FF 1のデータ読み部の信号が反転する。

【0011】入力されるクロック信号が“L”レベルのとき、図19のFF 1ではデータ読み部はOFF、データ保持部はONとなり、FF 2ではデータ読み部はON、データ保持部はOFFとなる。このクロック信号が“L”レベルの状態では、FF 1のデータ読み部とFF 2のデータ保持部はOFFとなり、クロック信号が“H”レベルのとき反転したFF 1のデータ読み部の信号がFF 1のデータ保持部を通じてFF 2のデータ読み部へ送り込まれることになる。

【0012】このような動作が繰り返されることによって、入力クロック信号の2倍の周期を持つ信号、即ち入力クロック信号の1/2の周波数の信号が生成される。このT-FFは図18のフリップフロップ回路を2つ使用していることから、FF 1のデータ読み部及びFF 2のデータ保持部とFF 1のデータ保持部及びFF 2のデータ読み部との間が時間的に分離されることにより、高周波領域からほぼDCに近い低周波領域まで安定した動作が可能である。

【0013】ところで、図19のT-FFの最高動作周波数f<sub>max</sub>は図18のフリップフロップ回路の遅延時間を $\tau$ とおくと、 $f_{\max} = 1/2 \cdot \tau$ で近似できる。遅延時間 $\tau$ は主に直接負荷抵抗を駆動するデータ読み部のFET J 3, J 4の駆動能力、及び配線容量や寄生容量などから決まる値である。FET J 3, J 4の駆動能力は主にFETに供給される電流量によって決まり、この電流量が多い場合に駆動能力が増加する。

【0014】しかし、フリップフロップ回路においてFF 1, FF 2のデータ読み部がONである時間は入力されるクロック信号の周期Tの半分のT/2でしかない。従って、直接負荷抵抗を駆動するデータ読み部のFET J 3, J 4に供給されるクロック周期あたりの平均電流量は、フリップフロップ回路の定電流源であるFET J 7のドレインに流れる電流量の半分にしかならないため、FETの駆動能力が低下しT-FFのf<sub>max</sub>が減少してしまう。FETの駆動能力を高めてf<sub>max</sub>を向上させるには、フリップフロップ回路に流れる電流量を増加させるのが有効であるが、そのためには消費電力が大きくなってしまふ、という問題があった。

【0015】一方、図18に示した従来のSCFLフリップフロップ回路において、負荷抵抗R 1, R 2にインダクタを直列に接続することにより、高速動作時にピーキングを掛けて高速化をはかる試みがある。しかし、負荷にインダクタを設けることで、インダクタに付随する寄生容量によって自己共振数で並列共振が起きた場合、インダクタのインピーダンスが無限大となる。そして、

入力信号の周波数成分がインダクタの自己共振周波数に近い場合、フリップフロップ回路が誤動作する可能性があった。

【 0 0 1 6 】

【発明が解決しようとする課題】 このように、従来のフリップフロップ回路においては、トランジスタの駆動能力を高めて最高動作周波数  $f_{max}$  を向上させるためにフリップフロップ回路に流れる電流量を増加させると、回路の消費電力が大きくなってしまいう問題があった。また、負荷にインダクタを設けると、その自己共振数の影響でフリップフロップ回路が誤動作を起こす可能性があった。

【 0 0 1 7 】 本発明は、上記事情を考慮してなされたもので、その目的とするところは、消費電力を殆ど増加させずにより高速な動作を可能とするフリップフロップ装置を提供することにある。

【 0 0 1 8 】 また、本発明の他の目的は、フリップ・フロップ回路の負荷にインダクタを用いた場合でも、その自己共振の影響による誤動作を防ぎつつ、高速な動作を可能とするフリップフロップ装置を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】 上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明（請求項 1）は、制御電極がデータ入力端子となる一対のトランジスタにより構成されたデータ読込み部差動対と、制御電極が出力端子に接続される一対のトランジスタにより構成されたデータ保持部差動対と、制御電極がクロック入力端子となる一対のトランジスタにより構成されたクロック入力用差動対とを備え、クロック入力用差動対を構成する各トランジスタの第 1 の主電極の一方がデータ読込み部差動対を構成する各トランジスタの第 2 の主電極に接続され、他方がデータ保持部差動対を構成する各トランジスタの第 2 の主電極に接続された S C F L（Source-Coupled-FET-Logic）又は E C L（Emitter-Coupled-Logic）のフリップフロップ装置において、クロック入力用差動対を構成する一対のトランジスタのうち、第 1 の主電極がデータ読込み部差動対（又はデータ保持部差動対）を構成する各トランジスタの第 2 の主電極に接続されたトランジスタと並列に、データ読込み時間可変用のトランジスタを設けたことを特徴とする。

【 0 0 2 0 】 また、本発明（請求項 2）は、上記構成のフリップフロップ装置において、データ読込み部差動対（又はデータ保持部差動対）を構成する各トランジスタの第 2 の主電極と電源  $V_{ss}$  との間に、データ読込み時間可変用（又はデータ保持時間可変用）のトランジスタを設けたことを特徴とする。

【 0 0 2 1 】 また、本発明（請求項 3）は、一対のトランジスタにより構成されたデータ読込み部差動対と、一

対のトランジスタにより構成されたデータ保持部差動対と、一対のトランジスタにより構成されて 2 つのクロック入力端子  $CK$ 、 $\overline{CK}$  を有するクロック入力用差動対と、からなるフリップフロップ回路を 2 段縦列接続したマスタ・スレーブ型フリップフロップ装置において、第 1 のフリップフロップ回路のクロック入力端子  $CK1$ 、 $\overline{CK1}$  と第 2 のフリップフロップ回路のクロック入力端子  $CK2$ 、 $\overline{CK2}$  のうち、 $CK1$  と  $\overline{CK2}$  を接続し、かつ  $\overline{CK1}$  と  $CK2$  を電氣的に分離して新たなバイアス端子  $V_{bias1}$  と  $V_{bias2}$  を設けたことを特徴とする。

【 0 0 2 2 】 また、本発明（請求項 4）は、一対のトランジスタにより構成されたデータ読込み部差動対と、一対のトランジスタにより構成されたデータ保持部差動対と、一対のトランジスタにより構成されて 2 つのクロック入力端子  $CK$ 、 $\overline{CK}$  を有するクロック入力用差動対と、からなるフリップフロップ回路を 2 段縦列接続したマスタ・スレーブ型フリップフロップ装置において、第 1 及び第 2 のフリップフロップ回路内に、一対のトランジスタの第 1 の主電極の一方がデータ読込み部差動対に接続され、他方がデータ保持部差動対に接続された補助差動対をそれぞれ設け、各々の補助差動対を構成する各トランジスタのうち、第 1 の主電極がデータ読込み部差動対に接続されたもの同士とデータ保持部差動対に接続されたもの同士とでそれぞれ第 2 の主電極を共通接続したことを特徴とする。

【 0 0 2 3 】 また、本発明は、上記構成のフリップフロップ装置において、クロック入力用差動対を構成する一対のトランジスタのうち、データ読込み部差動対に接続されたトランジスタと並列に、データ読込み時間増大用のトランジスタを設け、かつデータ保持部差動対を構成する各トランジスタの第 2 の主電極と電源  $V_{ss}$  との間に、データ保持時間可変用のトランジスタを設けたことを特徴とする。

【 0 0 2 4 】 ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) トランジスタとして MOS トランジスタ等の FET を用い、制御電極はゲート、第 1 の主電極はドレイン、第 2 の主電極はソースであること。

(2) トランジスタとしてバイポーラトランジスタを用い、制御電極はベース、第 1 の主電極はコレクタ、第 2 の主電極はエミッタであること。

(3) データ読込み部差動対及びデータ保持部差動対における負荷として、抵抗又は抵抗とインダクタの直列回路を用いたこと。

(5) 請求項 4 において、補助差動対を構成する各トランジスタの第 2 の電極と電源  $V_{ss}$  との間に定電流源としてのトランジスタを設けること。

【 0 0 2 5 】 また、本発明（請求項 5）は、制御電極がデータ入力端子となる一対のトランジスタにより構成さ

れたデータ読込み部差動対と、制御電極が出力端子に接続される一対のトランジスタにより構成されたデータ保持部差動対と、制御電極がクロック入力端子となる一対のトランジスタにより構成されたクロック入力用差動対とを備え、データ読込み部差動対及びデータ保持部差動対の共通負荷として抵抗とインダクタが直列接続された S C F L 又は E C L のフリップフロップ装置において、前記データ保持部差動対を構成する各トランジスタに一方の主電極がそれぞれ共通接続され、他方の主電極が前記負荷としての抵抗とインダクタとの接続点にそれぞれ接続された一対の補助トランジスタを設けてなることを特徴とする。

【 0 0 2 6 】

【作用】本発明（請求項 1，2）によれば、データ読込み時間可変用のトランジスタを設け、データ読込み時間を増大させるようにすることにより、フリップフロップ回路におけるデータ読込み時間とデータ保持時間との関係を、

（データ読込み時間）>（データ保持時間）

とすることができ、一定の消費電力のままクロック 1 周期あたりのデータ読込み部のトランジスタに供給される電流量を増加することが可能になる。従って、データ読込み部のトランジスタの駆動能力を高めることができ、これにより最高動作周波数  $f_{max}$  を向上させることが可能となる。さらに、データ保持時間可変用のトランジスタを設け、データ保持時間を増大させるようにすることによって、

（データ読込み時間）<（データ保持時間）

とすることもでき、この場合はより低周波領域での安定した動作が可能となる。この場合、前記データ読込み時間又はデータ保持時間可変用トランジスタの制御電極を外部からコントロールすることにより、（データ読込み時間）と（データ保持時間）との関係を任意に選ぶことができるので、高周波から低周波までの幅広い周波数帯域において安定な動作を実現できる。

【 0 0 2 7 】また、本発明（請求項 3）によれば、新たなバイアス端子  $V_{bias1}$  と  $V_{bias2}$  を設けているので、これらのバイアス端子に印加する D C バイアス値の変化によって、データ読込み時間とデータ保持時間を任意に設定することができる。例えば、

（データ読込み時間）>（データ保持時間）

と設定することにより、より高周波領域での動作が可能となる。逆に、

（データ読込み時間）<（データ保持時間）

と設定することにより、より低周波領域での安定した動作が可能となる。

【 0 0 2 8 】また、本発明（請求項 4）によれば、補助差動対を設けたことによって、（請求項 4）と同様にデータ読込み時間とデータ保持時間を任意に設定することができ、より高周波領域での動作又はより低周波領域で

の動作が可能となる。

【 0 0 2 9 】また、本発明（請求項 5）によれば、補助トランジスタを設けたことにより、データ保持時間においてデータ保持部差動対に流れる電流の一部を、負荷の抵抗をパスしインダクタのみを介して流すことができる。即ち、データ保持時間において負荷の値が減少し、インダクタの自己共振によってインピーダンスが増大する悪影響を相殺し、ダンピングすることが可能となる。従って、フリップ・フロップ回路の負荷にインダクタを用いた場合でも、その自己共振の影響による誤動作を防ぎつつ、高速なフリップフロップ装置を実現することが可能となる。

【 0 0 3 0 】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（実施例 1）図 1 は、本発明の第 1 の実施例に係わるフリップフロップ回路を示す回路構成図である。基本的な構成は前記図 1 8 と同様であるが、本実施例ではこれに加えて、データ読込み時間可変用のトランジスタ（F E T）J 2 1 が設けられている。即ち、クロック入力用の差動対を構成する F E T のうち、そのドレインがデータ読込み部につながる F E T J 1 と並列に、データ読込み時間可変用の F E T J 2 1 が接続されている。

【 0 0 3 1 】このような構成であれば、データ保持部差動対側には 1 つの F E T J 2 が接続されるのに対し、データ読込み部差動対側には 2 つの F E T J 1，J 2 1 が接続されることになるため、F E T J 2 1 を O N 状態にすることにより、データ保持部差動対側よりもデータ読込み部差動対側の方により多くの電流を流すことができ、フリップフロップ回路におけるデータ読込み時間とデータ保持時間との関係を、

（データ読込み時間）>（データ保持時間）

とすることができる。このため、一定の消費電力のままクロック 1 周期あたりにデータ読込み部の F E T に供給される電流量を増加することが可能になる。さらに、F E T J 2 1 を O F F 状態にすることで、（データ読込み時間）=（データ保持時間）とすることができ、低周波での動作も安定に行うことができる。

【 0 0 3 2 】また、F E T J 2 1 のゲート G 2 1 は F E T J 1 のゲートに接続して C K と同電位にしてもよいし、別に D C バイアスを加えてもよい。データ読込み部差動対における F E T J 3，J 4 の負荷 Z<sub>1</sub> としては、抵抗のみ、又は抵抗とインダクタを直列接続したものなどが考えられる。用いるインダクタはスパイラルインダクタ、又はショートスタブ線路などが考えられる。

【 0 0 3 3 】図 2 は、図 1 のフリップフロップ回路の動作原理を示す図である。F E T J 2 1 のゲート幅を F E T J 1 のゲート幅と同じとし、かつ F E T J 2 1 のゲート G 2 1 を F E T J 1 のゲートに接続、同電位にした場合である。縦軸が電流量、横軸が時間を示す。図中 A が

データ読み込み部に流れる電流量、Bがデータ保持部に流れる電流量を示す。データ読み込み時間Dとデータ保持時間(T-D)の割合はほぼ2:1となり、データ読み込み時間が増加していることが分かる。

【0034】図3は、図1のフリップフロップ回路から構成される図19のT-FFの入力感度特性をシミュレーションで従来例と比較したものである。図中AがFETJ21のゲート幅をFETJ1のゲート幅と同じとし、かつFETJ21のゲートG21をFETJ1のゲートに接続して同電位にした場合(実施例)であり、Bが従来例である。また、斜線部が動作範囲を示す。

【0035】本実施例では、特にクロック入力振幅が小さいときの動作領域が広がっており、従来例では約8.0GHz付近にあったフリーラン周波数が10.8GHz付近まで向上する。また、クロック入力0.6Vppのときの最高動作周波数fmaxは従来例では10.0GHzであったものが12.0GHzとなり20%の高速化が達成できる。

【0036】このように本実施例によれば、クロック入力用差動対を構成するFETJ1、J2のうちデータ読み込み部差動対に接続されたFETJ1と並列にFETJ21を設けているので、フリップフロップ回路におけるデータ読み込み時間とデータ保持時間との関係を、

(データ読み込み時間) > (データ保持時間)

とすることができ、一定の消費電力のままクロック1周期あたりのデータ読み込み部のFETJ3、J4に供給される電流量を増加することが可能になる。従って、データ読み込み部のFETJ3、J4の駆動能力を高めることができ、これにより最高動作周波数fmaxを向上させることが可能となる。

(実施例2) 図4は、本発明の第2の実施例に係わるT-FFを示すブロック図である。従来例では図19のように、FF1及びFF2のクロック入力端CK、/CKがD.C的に結合されて端子CK及び端子Vrefへ接続されていた。これに対して本実施例では、FF1のクロック入力端/CK1とFF2のクロック入力端CK2とをD.C的に分離し、新たなバイアス端子Vbias1及びVbias2を設けることで、FF1、FF2における各々のD.Cバイアス値を個別に変化させることを可能にしている。

【0037】ここで、FF1、FF2を構成するフリップフロップ回路は、図1又は図18のいずれの回路であってもよい。D.Cバイアス値は本実施例のフリップフロップ回路が形成されるIC内に設けた抵抗によって設定してもよいし、外部からコントロールできるようIC内に設けたパッドに接続し、外部から電圧を与えてもよい。これによって、D.Cバイアス値の変化によってデータ読み込み時間とデータ保持時間を任意に設定することができる。

【0038】例えば、FF1のデータ読み込み部とFF2

のデータ保持部へ入力されるクロックに加えるD.Cバイアス値をVdc1、FF1のデータ保持部とデータ読み込み部へ入力されるクロックのD.Cバイアス値を各々Vbias1、Vbias2とおくと、 $Vdc1 > Vbias1$ 、かつ $Vdc1 < Vbias2$ (即ち、 $Vbias1 = Vdc1 - X$ 、 $Vbias2 = Vdc1 + X$ 、但し $X > 0$ )としたとき、FF1とFF2の両方が(データ読み込み時間) > (データ保持時間)となる方向へ変化する。従来例ではFF1の/CK1、FF2のCK2がD.C的に結合されていたため、FF1とFF2の両方が(データ読み込み時間) > (データ保持時間)とすることが不可能であったのに対し、本実施例ではこれを可能とし高速化が図れる。

【0039】以上の実施例の応用分野としては高速な入力信号を分周する必要がある回路、例えばプリスケアラの初段の分周器、又はマルチプレクサ、デマルチプレクサの初段の分周器などがあげられる。

【0040】なお、(データ読み込み時間) > (データ保持時間)と設定した場合、高速化は達成できるが、データ読み込み部とデータ保持部の動作する時間が完全に切り離されずデータ保持部がONの場合も、データ読み込み部に電流が流れる。このため、図1のフリップフロップ回路を用いてT-FFを構成したとき、入力されるクロック信号が“L”レベルの場合の動作が不安定となり、低周波領域では動作が不安定となり、誤動作を起こすことがある。

【0041】これの解決方法として、図4においてFF1、FF2に用いるフリップフロップ回路として図1の回路を用い、低周波領域において、FF1のデータ読み込み部とFF2のデータ保持部へ入力されるクロックに加えるD.Cバイアス値をVdc1、FF1のデータ保持部とデータ読み込み部へ入力されるクロックのD.Cバイアス値を各々 $Vdc1 < Vbias1$ 、かつ $Vdc1 > Vbias2$ (即ち、 $Vbias1 = Vdc1 - X$ 、 $Vbias2 = Vdc1 + X$ 、但し $X < 0$ )とおくことによって、(データ読み込み時間) > (データ保持時間)と設定されていた関係を(データ読み込み時間) ≤ (データ保持時間)とすることができ、外部電圧の調整で低周波領域での動作を可能とする。

【0042】このように、外部からの電圧の調整で低周波領域の動作を可能とすることにより、低周波から高周波まで周波数を掃引させる必要がある測定器に用いる分周器などにも本発明を適用することができる。

(実施例3) 図5は、本発明の第3の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図1と同一部分には同一符号付して、その詳しい説明は省略する。基本的な構成は図1と同様であり、本実施例では、負荷Zとして抵抗のみを用いている。

【0043】この場合、クロック入力用差動対のFETJ1、J2のゲート幅をWc、データ読み込み部差動対のFETJ3、J4のゲート幅をWd、データ保持部差動

対の FET J 5, J 6 のゲート幅を W 1 とすると、ゲート幅 W c, W d, W 1 との関係は、 $W c \geq W d \geq W 1$  でも  $W c \leq W d \leq W 1$  でもよい。

【0044】また、本実施例と同様の効果は、クロック入力用の差動対を構成する FET のしきい値の関係を (FET J 2 のしきい値) > (FET J 1 のしきい値) とした場合にも得られる。(FET J 2 のしきい値) > (FET J 1 のしきい値) とすることによって、FET J 1 に流れる電流量を増加させることができ、フリップフロップ回路におけるデータ読み込み時間とデータ保持時間の関係を (データ読み込み時間) > (データ保持時間) とすることができる。また、(FET J 2 のしきい値) > (FET J 1 のしきい値) で、かつ FET J 1 と並列に FET J 2' を加えた場合でも同様の効果が得られる。

(実施例 3 の変形例) 図 6 は、第 3 の実施例の変形例を示す図である。この例は、図 5 の FET J 2' のゲート端子 G 2' を FET J 2' のソース端子に接続したものである。このような構成であれば、G 2' のバイアス回路が不要となる。

【0045】図 7 は、第 3 の実施例の別の変形例を示す図である。この例では、図 6 のような構成のフリップ・フロップの 2 つ FF 1, FF 2 を並列に設け、FF 1 の FET J 2' のゲート端子を FF 2 の FET J 2' のソース端子に接続し、かつ FF 2 の FET J 2' のゲート端子を FF 1 の FET J 2' のソース端子に接続している。

【0046】このような構成であれば、クロック入力が単相のとき、FF 1 の FET J 2' のソース端子及び FF 2 の FET J 2' のソース端子は各々クロック入力信号 CK に対して同相、逆相の位相関係となる。従って、このような接続を行うことで、FF 1, FF 2 のデータ読み込み部が ON になるとき FET J 2', FET J 2' のゲート-ソース間電圧が上昇し、データ読み込み部が ON の時に流れる電流量が増加して高周波動作が可能となる。

(実施例 4) 図 8 は、本発明の第 4 の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図 1 と同一部分には同一符号付して、その詳しい説明は省略する。基本的な構成は図 1 と同様であり、本実施例では、負荷 Z、として抵抗とインダクタを直列接続したものをを用いている。

【0047】一般に、フリップフロップの負荷にインダクタを用いることで高速化がはかれる。従来例のフリップフロップ回路の負荷として抵抗とインダクタを直列接続したものをを用いる場合と比較して、本実施例ではフリップフロップ回路自体を (データ読み込み時間) > (データ保持時間) とすることで高速化が可能であるので、インダクタの効果によって高速化をはかる周波数帯域を従来例より更に高く設定でき、従来例と比較して使用する

インダクタンスの値が小さくてすむ。

【0048】インダクタとしてスパイラルインダクタを用いる場合、使用するインダクタンスの値が大きいと自己共振周波数が低下し、回路の誤動作を引き起こす可能性がある。本実施例で用いるインダクタの値は従来例と比較して小さいことから、インダクタの自己共振周波数の低下による誤動作によってフリップフロップ回路の動作周波数領域が低下する問題を解決できる。

【0049】また、隣接したインダクタ L 1, L 2 を近付けた場合に生じる相互インダクタンスは、インダクタ L 1, L 2 間の距離が近づくほど大きくなり、使用するインダクタ L 1, L 2 の値が大きい場合には、相互インダクタンスの影響が大きくなり回路が誤動作を起こし動作周波数範囲が低下する可能性があった。

【0050】本実施例で用いるインダクタの値は従来例と比較して小さいことから、相互インダクタンスの増加による動作周波数範囲の低下による問題を解決でき、かつインダクタ L 1, L 2 間の距離を近付けてレイアウトできることから、フリップフロップ回路をレイアウトするのに必要な面積を小さくすることができ、チップ面積増大に伴うコストの増大を避けることができる。

【0051】なお、本発明はフリップフロップの負荷として抵抗のみの場合と負荷にインダクタを使用する場合の両方について有効であるが、以下の実施例では抵抗のみを負荷とする場合について説明する。

(実施例 5) 図 9 は、本発明の第 5 の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図 1 と同一部分には同一符号付して、その詳しい説明は省略する。

【0052】基本的な構成は前記図 1 8 と同様であるが、本実施例ではこれに加えて、ドレインがデータ読み込み部の差動対につながるように FET J 3' を加え、FET J 3' のソースは保護抵抗 R 7 を介して電源 V ss に接続し、ゲート G 3' には DC 電位を接続している。

【0053】図 9 のフリップフロップ回路を 2 段接続して T-FF を作るときは、FF 1 側の G 3' と FF 2 側の G 3' を接続する。G 3' の DC 電位を調節することによって FET J 3' に流れる電流量を調整、データ読み込み時間とデータ保持時間の割合を制御して、低周波領域では FET J 3' に電流が流れないように設定し、高周波領域では FET J 3' に電流が流れるように設定することで、低周波領域も可能となりかつ高速化が達成できる。

【0054】本実施例では、図 4 の実施例が制御電源が 2 つ必要であったのに対し、制御電源が単一で済む。特に、FET J 3' にエンハンスモード型の FET を使用した場合は、FET のゲート・ソース間電圧が正のときにのみ電流が流れる。従って、低周波領域における G 3' に与える電圧と電源電圧 V ss との差を FET J 3' のしきい値以下と設定することによって、(データ読み



13

み時間) = (データ保持時間) となり、低周波領域の動作が可能となる。

【0055】この場合、G31に与える電圧と電源電圧Vssとの差は正であるので、GNDとVssとの間を抵抗を用い電圧を分割しG31に接続すると共に、G31をIC内に設けたパッドに接続し、外部からパッドに与える電圧を制御することによって、従来例より高周波動作が可能であると共に、低周波領域の動作時にはG31に外部から電圧を与えず、回路の消費電力を変化させずに動作させることが可能である。

(実施例6) 図10は、本発明の第6の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図1と同一部分には同一符号付して、その詳しい説明は省略する。

【0056】本実施例では図1の構成に加え、データ保持部差動対を構成するFETJ5、J6のソースにドレインがつながるようにデータ保持時間増大用のFETJ32を加え、FETJ32のソースを保護抵抗R7を介して電源Vssに接続し、ゲートG32にはDC電位を接続している。

【0057】図10のフリップフロップ回路を2段接続してT-FFを作るとき、FF1側のG32とFF2側のG32を接続する。G32のDC電位を調節することによってFETJ32に流れる電流量を制御してデータ読み込み時間とデータ保持時間の割合を制御して、低周波領域から動作が可能でかつ高速化が達成できる。

【0058】本実施例の場合も制御電源が単一で済む。また、FETJ32のゲートG32を数kΩの抵抗を介して電源電圧Vssに接続、かつG32をIC内部に設けたパッドに接続する構成にすることによって、低周波動作時には外部からパッドに一定電位の電圧を与え、(データ読み込み時間) = (データ保持時間) とし、高周波動作時にはパッドをオープンの状態にして、(データ読み込み時間) > (データ保持時間) とすることで、低周波動作から高周波動作まで可能となる。なお、この場合は高周波動作時にFETJ32には電流が流れないため、高周波動作時での消費電力を低周波領域の動作時の消費電力よりも低減できる。

(実施例7) 図11は、本発明の第7の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図1と同一部分には同一符号付して、その詳しい説明は省略する。

【0059】本実施例では、FF1内にFETJ41、42からなる補助差動対を設け、FF2内にFETJ43、44からなる補助差動対を設け、これらの差動対のJ41、J43のドレインを各々FF1のデータ読み込み部差動対とFF2のデータ読み込み部差動対に接続し、J42、J44のドレインを各々FF1のデータ保持部差動対とFF2のデータ保持部差動対に接続する。そして、J41、J43のゲートをG41に、J42、J4

14

4のゲートをG42に接続する。また、J41~44のソースを共通接続してFETJ45のドレインに接続し、FETJ45のソースは保護抵抗R7を介して電源Vssに接続する。

【0060】このような構成であれば、FETJ41、J43のゲートG41と、FETJ42、J44のゲートG42のDC電位を調節することにより、データ読み込み時間とデータ保持時間との割合を制御することができる。このとき、FF1とFF2には本発明の実施例である図1を用いてもよいし、従来例の図18を用いてもよい。また、ゲートG41をCKに接続してもよい。

(実施例7の変形例) 図12は、第7の実施例の変形例を示す図であり、フリップフロップ回路の1つ分を示している。フリップフロップ回路にFETJ31、J32からなる差動対を設け、各々のゲート端子G31及びG32に加えるバイアスでデータ読み込み時間、保持時間をコントロールする。これにより、第7の実施例と同様の効果が得られる。

(実施例8) 図13は、本発明の第8の実施例に係わるフリップ・フロップ回路を示す回路構成図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0061】この実施例の構成は前記図5に示す第3の実施例と類似しているが、第3の実施例とは異なり、FETJ1ではなくFETJ2と並列にFETJ31を設け、FETJ31のゲートG31を外部端子としている。

【0062】このような構成であれば、FETJ31のゲート端子G31でデータ読み込み時間、保持時間をコントロールすることができる。より具体的には、FETJ31とFETJ2の並列回路をFETJ1と同じ電流容量にすれば、FETJ31のOFFによりデータ保持時間を減少させることができる。即ち、FETJ31がONで(データ読み込み時間) = (データ保持時間) とすることができ、FETJ32がOFFで(データ読み込み時間) > (データ保持時間) とすることができ、低周波動作から高周波動作まで可能となる。

(実施例8の変形例) 図14は、第8の実施例の変形例であり、FETJ31のドレインをFETJ51、J52からなる差動対のソースに接続している。FETJ51のゲート及びドレインはFETJ5のゲート及びドレインとそれぞれ共通接続され、FETJ52のゲート及びドレインはFETJ6のゲート及びドレインとそれぞれ共通接続されている。

【0063】このような構成であれば、高周波動作時にはG31端子に加えるバイアスを制御してFETJ31のドレインに電流を流さないようにする。このとき、データ保持部を構成するFETJ51、J52からなる差動対が動作しなくなることで、データ保持部のFETのゲート幅が減少したように見え、データ保持部の負荷容

10

20

30

40

50

量が減少し、より高速化が達成できる。

【実施例 9】図 15 は、本発明の第 9 の実施例に係わるフリップ・フロップ回路を示す回路構成図である。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略する。

【0064】本実施例は、図 18 に示した従来例の負荷部分の構成を改良したものである。抵抗  $R_1$ 、 $R_2$ 、及びこれらに各々直列にインダクタ  $L_1$ 、 $L_2$  を負荷として備え、かつトランジスタ  $J_3$ 、 $J_4$  のドレインと上記負荷との間に抵抗  $R_{11}$ 、 $R_{12}$  を備え、データ保持部の差動対を構成するトランジスタ  $J_5$ 、 $J_6$  のドレインを各々上記  $R_1$ 、 $L_1$  及び  $R_2$ 、 $L_2$  から構成される負荷に接続、かつトランジスタ  $J_3$ 、 $J_4$  のドレインを各々ソースフォロアを構成するトランジスタ  $J_8$ 、 $J_9$  のゲートに接続したことを特徴とするものである。

【0065】このような構成とすることによって、データ読み込み側が ON のときの振幅は  $(R_1 + R_{11} + j\omega L_1) \cdot i$  となり、データ保持側が ON のときの振幅は  $(R_1 + j\omega L_1) \cdot i$  となり、データ保持側で振幅が小さくなる（但し、 $R_1 = R_2$ 、 $R_{11} = R_{12}$ 、 $L_1 = L_2$ 、 $i$  は  $J_7$  に流れる電流）。即ち、データ保持時間において負荷の値が減少し、インダクタの自己共振によってインピーダンスが増大する悪影響を相殺し、ダンピングすることが可能である。

【0066】図 16 は、図 15 のフリップフロップをマスタスレーブ D-FF に適用した場合について、本発明と従来例とのシミュレーションによる比較を示す。太線が本発明の実施例、細線が従来例である。入力信号は 10 Gbps の (0101101...) 信号とし、インダクタは 1 nH であり、その自己共振周波数は 5 GHz である。論理振幅は 0.8 V とし、 $R_{11}$ 、 $R_{12}$  の抵抗値は、振幅は 0.1 V となるように設定した。

【0067】図 16 から分かるように、従来例では誤動作を起こしているのに対し、本発明の実施例では正常な出力信号が得られていることが分かる。なお、 $R_{11}$ 、 $R_{12}$  の値が大きいほどダンピングの効果が大きくなるが、それに伴い負荷が増加し、遅延時間も増加してしまう。従って、 $R_{11}$ 、 $R_{12}$  の値を  $R_1$  及び  $R_2$  の値の 10% から 25% とした場合に高速性と安定性を兼ね備えることができる。

【実施例 10】図 17 は、本発明の第 10 の実施例に係わるフリップフロップ回路を示す回路構成図である。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略する。

【0068】本実施例も、図 18 に示した従来例の負荷部分の構成を改良したものである。基本的な構成は図 18 と同様であり、負荷として、抵抗  $R_1$  とインダクタ  $L_1$  を直列接続し、また抵抗  $R_2$  にインダクタ  $L_2$  を直列接続している。そして、データ保持部差動対を構成するトランジスタ  $J_5$ 、 $J_6$  にトランジスタ  $J_9$ 、 $J_9$

をそれぞれ並列的に接続している。具体的には、トランジスタ  $J_9$  のソースはトランジスタ  $J_5$  のソースに接続され、トランジスタ  $J_9$  のドレインは抵抗  $R_2$  とインダクタ  $L_2$  の接続点に接続されている。トランジスタ  $J_9$  のソースはトランジスタ  $J_6$  のソースに接続され、トランジスタ  $J_9$  のドレインは抵抗  $R_1$  とインダクタ  $L_1$  の接続点に接続されている。

【0069】このような構成とすることによって、データ読み込み側が ON のときの振幅は  $(R_1 + j\omega L_1) \cdot i$  となり、データ保持側が ON のときの振幅は  $(R_1 + j\omega L_1) \cdot i_1 + j\omega L_1 \cdot i_2$  となり、データ保持側で振幅が小さくなる（但し、 $R_1 = R_2$ 、 $L_1 = L_2$ 、 $i = i_1 + i_2$ ： $i_1$  は  $J_5$  又は  $J_6$  に流れる電流、 $i_2$  は  $J_9$  又は  $J_9$  に流れる電流）。即ち、データ保持時に  $R_1$ 、 $R_2$  へ流れる電流を減少させることによりダンピングを行わせることができ、第 9 の実施例と同様の効果が得られる。

【0070】また、本実施例では第 9 の実施例に比して、抵抗  $R_1$ 、 $R_2$  の分割が不要となることから、レイアウト面積の増大を抑えることができる。なお、トランジスタ  $J_9$ 、 $J_9$  はトランジスタ  $J_5$ 、 $J_6$  にゲートを共通接続し、かつソースも共通接続しているので、トランジスタ  $J_5$ 、 $J_6$  の近傍に極めて小さい面積で形成でき、これらのトランジスタの増加によるレイアウト面積の増大は殆ど無視できる。

【0071】なお、本発明は上述した各実施例に限定されるものではない。実施例では、MOS トランジスタを用いた SCFL 回路で説明したが、バイポーラトランジスタを用いた ECL 回路に適用することもできる。さらに、実施例では T-FF について説明したが、D-FF に適用できるのは勿論のことである。また、図 4、図 9、図 10 及び図 11 の本発明の実施例の回路はフリップフロップ外部電圧から制御することでフリーランの周波数を変化させることができるので、T-FF のみでなく電圧制御型発振器としても使用できる。

【0072】また、本発明は各実施例を単独で実施するに限らず、種々の実施例を適宜組み合わせることで実施することができる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0073】

【発明の効果】以上説明したように本発明によれば、データ読み込み時間可変用のトランジスタ、バイアス端子  $V_{bias1}$ 、 $V_{bias2}$  又は補助差動対等を設けることにより、(データ読み込み時間) > (データ保持時間) とすることができ、一定の消費電力のままクロック 1 周期あたりのデータ読み込み部のトランジスタに供給される電流量を増加させることができる。従って、データ読み込み部のトランジスタの駆動能力を高めることができ、消費電力を殆ど増加させずに高速な動作を可能とするフリップフロップ装置を実現することが可能となる。

【0074】また、（データ読み込み時間）と（データ保持時間）との関係を任意に制御することができ、高周波から低周波にわたる広い周波数帯域で安定に動作させることができるフリップ・フロップ装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わるフリップフロップ回路を示す回路構成図。

【図2】図1のフリップフロップ回路の動作原理を示す図。

【図3】図1のフリップフロップ回路から構成されるT-FFの入力感度特性をシミュレーションで従来例と比較した結果を示す図。

【図4】第2の実施例に係わるT-FFを示すブロック図。

【図5】第3の実施例に係わるフリップフロップ回路を示す回路構成図。

【図6】第3の実施例の変形例を示す回路構成図。

【図7】第3の実施例の別の変形例を示す回路構成図。

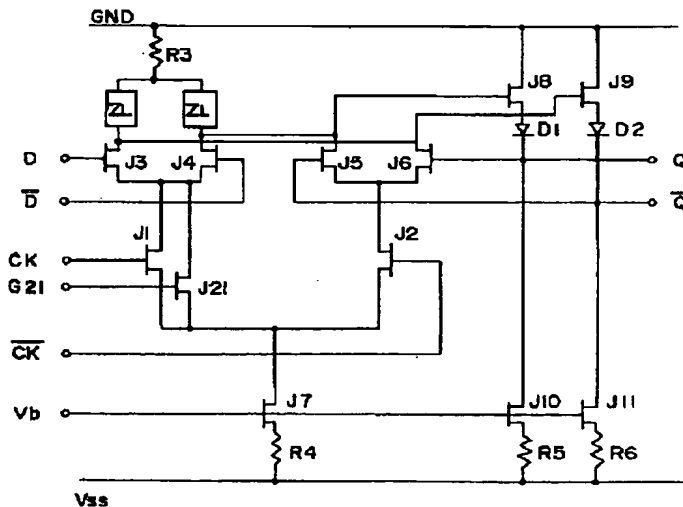
【図8】第4の実施例に係わるフリップフロップ回路を示す回路構成図。

【図9】第5の実施例に係わるフリップフロップ回路を示す回路構成図。

【図10】第6の実施例に係わるフリップフロップ回路を示す回路構成図。

【図11】第7の実施例に係わるフリップフロップ回路

【図1】



を示す回路構成図。

【図12】第7の実施例の変形例を示す回路構成図。

【図13】第8の実施例に係わるフリップフロップ回路を示す回路構成図。

【図14】第8の実施例の変形例を示す回路構成図。

【図15】第9の実施例に係わるフリップフロップ回路を示す回路構成図。

【図16】図15のフリップフロップをマスタスレーブD-FFに適用した場合について、本発明と従来例とのシミュレーションによる比較を示す図。

【図17】第10の実施例に係わるフリップフロップ回路を示す回路構成図。

【図18】従来のSCFLフリップフロップ回路を示す回路構成図。

【図19】図18のフリップフロップ回路を2段接続したT-FFの構成図。

【図20】図18のフリップフロップ回路のクロック信号入力差動対に周期Tのサイン波を入力したときの動作の説明図。

【符号の説明】

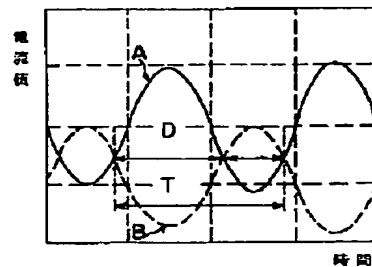
J1～J15, J21, J31, J32, J41～J45…FET

R1～R7…抵抗

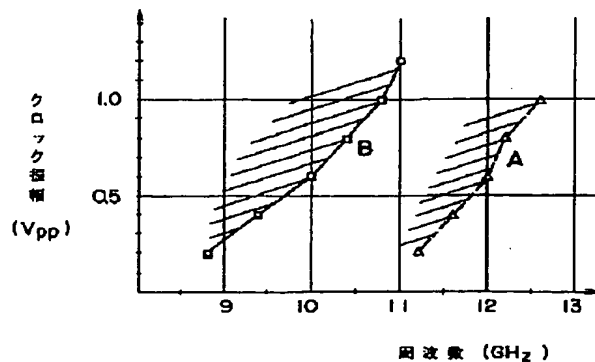
D1, D2…ダイオード

L1, L2…インダクタ

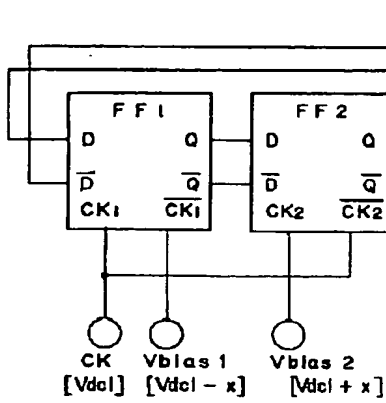
【図2】



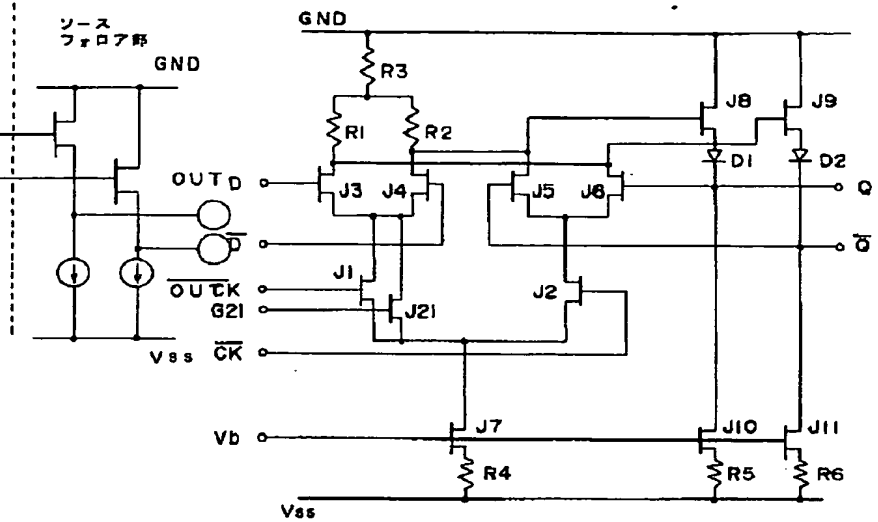
【図3】



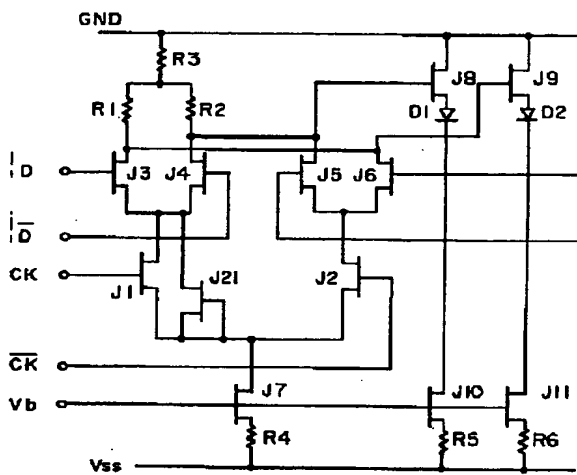
【図 4】



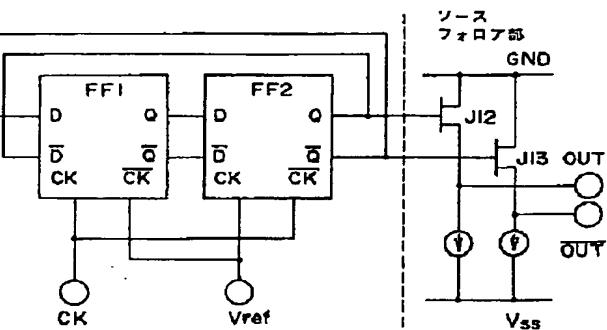
【図 5】



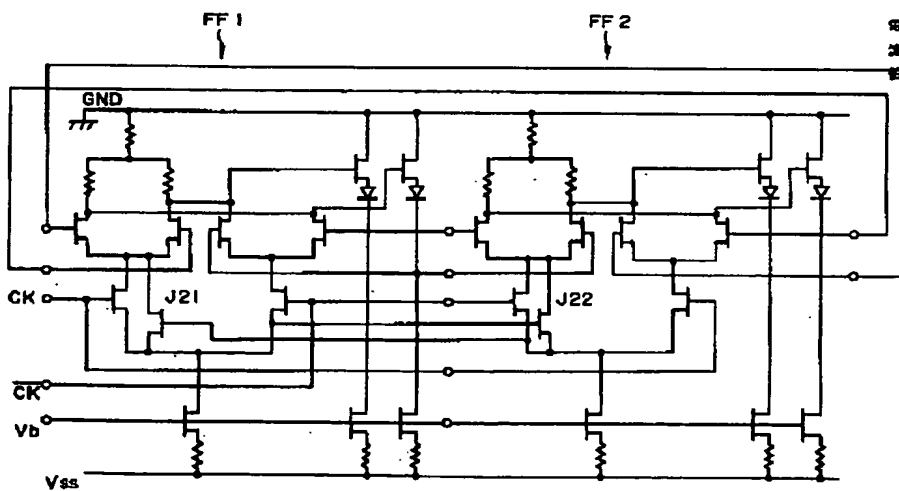
【図 6】



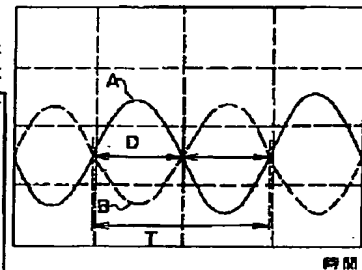
【図 19】



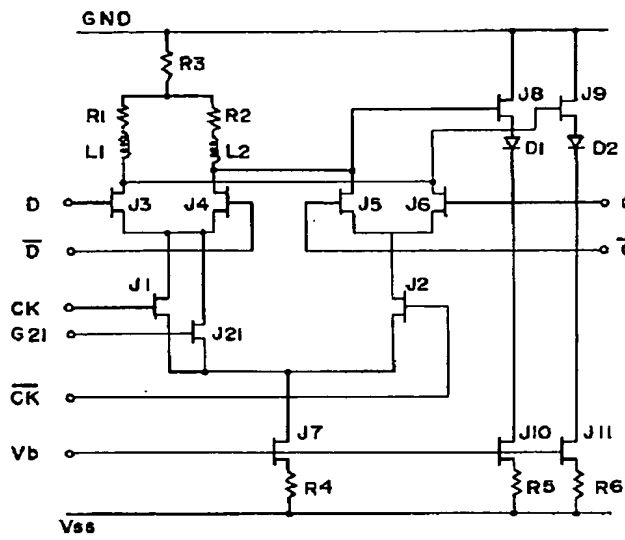
【図 7】



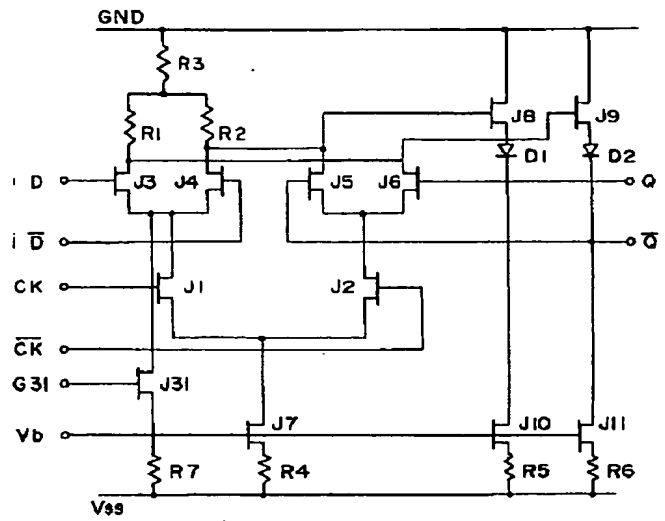
【図 20】



【図 8】

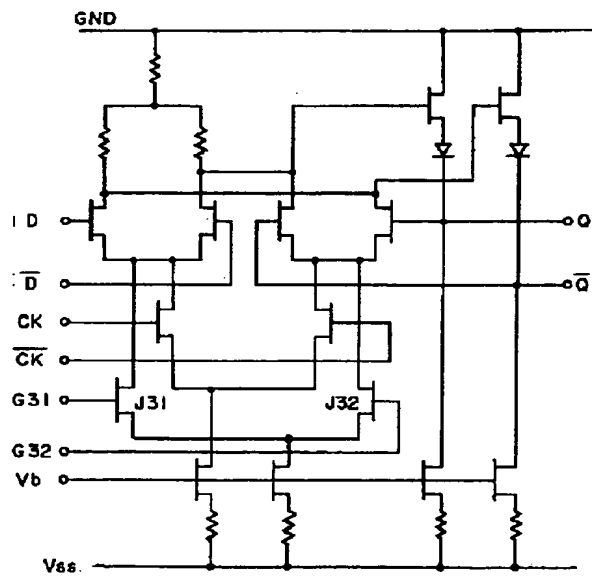
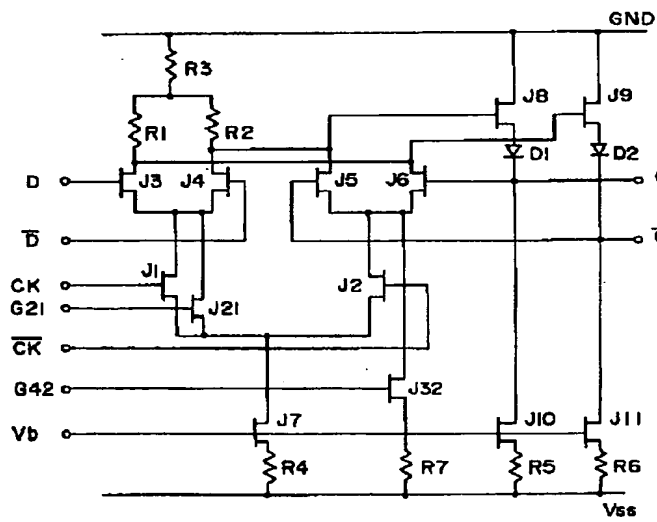


【図 9】

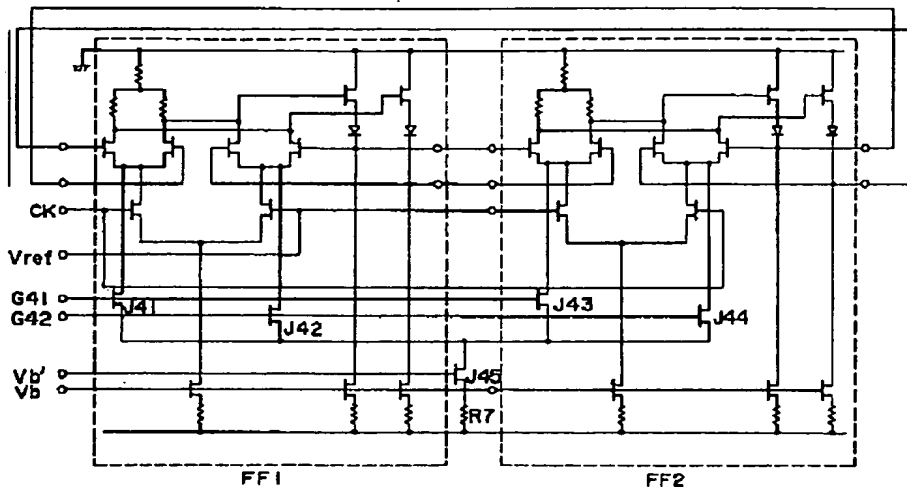


【図 12】

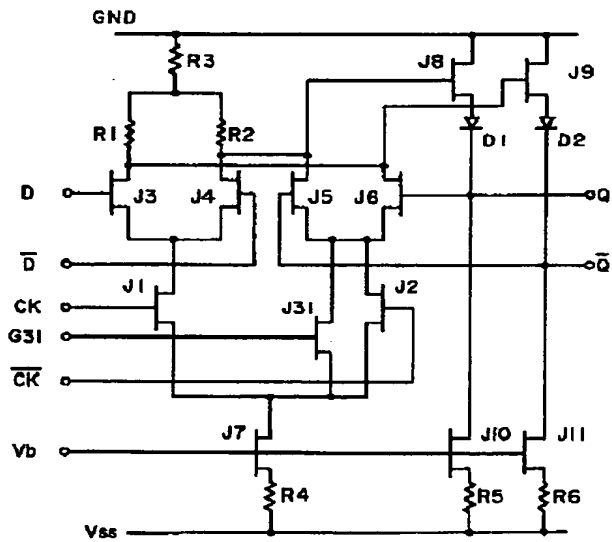
【図 10】



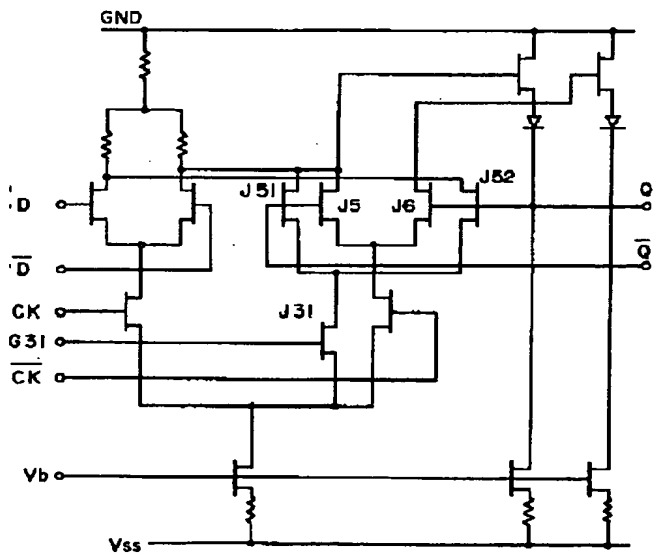
【図 11】



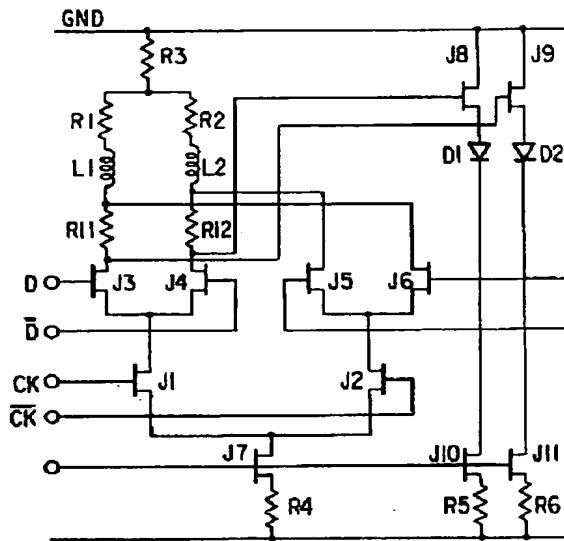
【図 13】



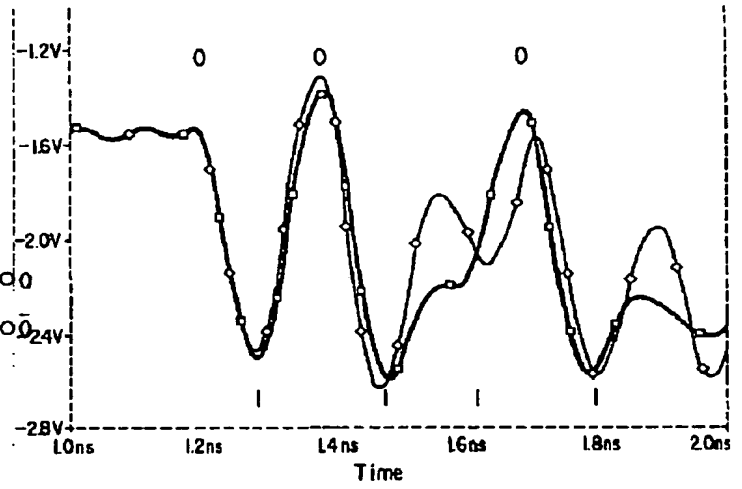
【図 14】



【図 15】



【図 16】



【図 18】

【図 17】

